

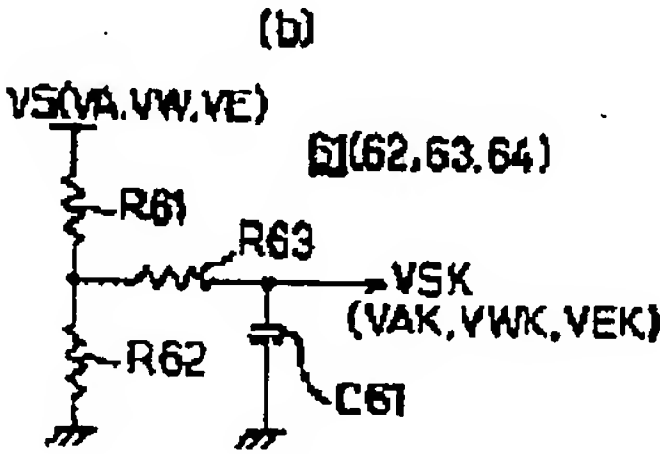
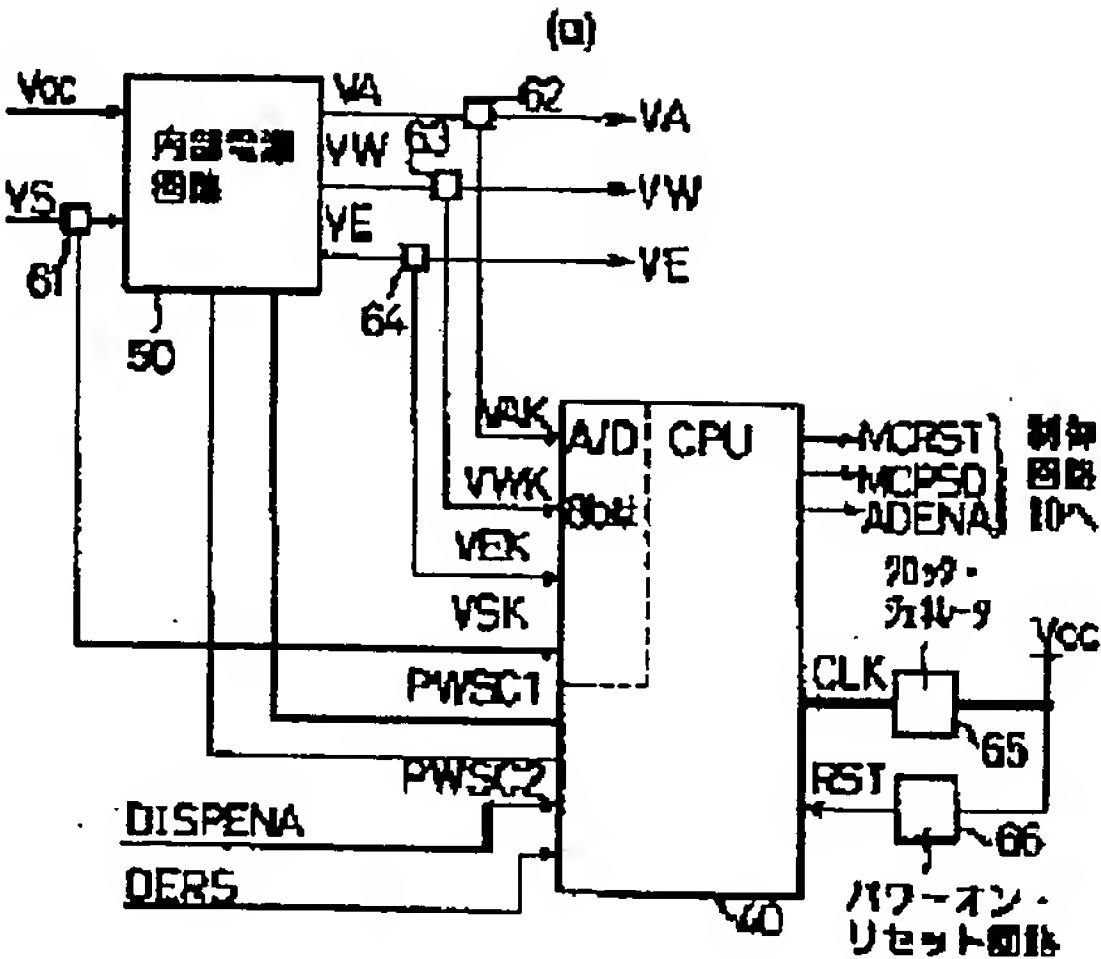
PLANE TYPE DISPLAY DEVICE

Publication number: JP7191623
Publication date: 1995-07-28
Inventor: TOMIO SHIGETOSHI; MATSUI NAOKI; YAO SHINPEI
Applicant: FUJITSU LTD
Classification:
- International: G09G3/20; G09G3/28; G09G3/288; G09G3/20; G09G3/28; (IPC1-7): G09G3/20; G09G3/28
- european:
Application number: JP19940284945 19941118
Priority number(s): JP19940284945 19941118; JP19930290868 19931119

Report a data error here

Abstract of JP7191623

PURPOSE: To reduce the current consumption of the plane type display device which uses a plasma display, electroluminescence, liquid crystal, a fluorescent display tube, light emitting diodes, etc., by eliminating a charging current to a panel which is completely irrelevant to actual display and a reactive current due to unnecessary switching. CONSTITUTION: The plane type display device which uses at least one high voltage VS for display other than a logic voltage is equipped with a means 61 which detects the voltage value of the high voltage VS for display, and a driving control signal control means which controls a driving control signal by a means for detecting the erasure state of an externally inputted signal DISPENA or inputted display data DATA.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 7 - 1 9 1 6 2 3

(43)公開日 平成7年(1995)7月28日

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G	3/20	J 9378-5 G		
	3/28	J 9378-5 G		
		B 9378-5 G		

審査請求 未請求 請求項の数 1 1 O L

(全 1 4 頁)

(21)出願番号 特願平6-284945

(22)出願日 平成6年(1994)11月18日

(31)優先権主張番号 特願平5-290868

(32)優先日 平5(1993)11月19日

(33)優先権主張国 日本(JP)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 富尾 重寿

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 松井 直紀

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 矢尾 晋平

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 石田 敬 (外3名)

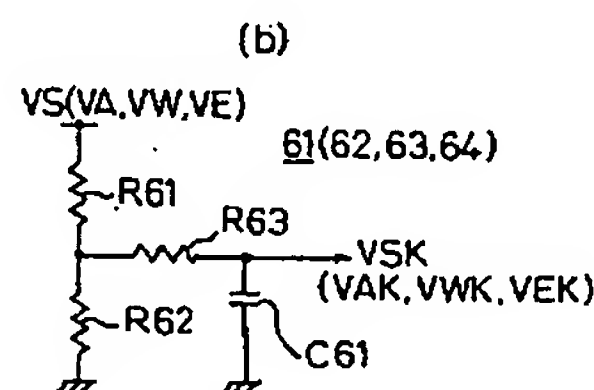
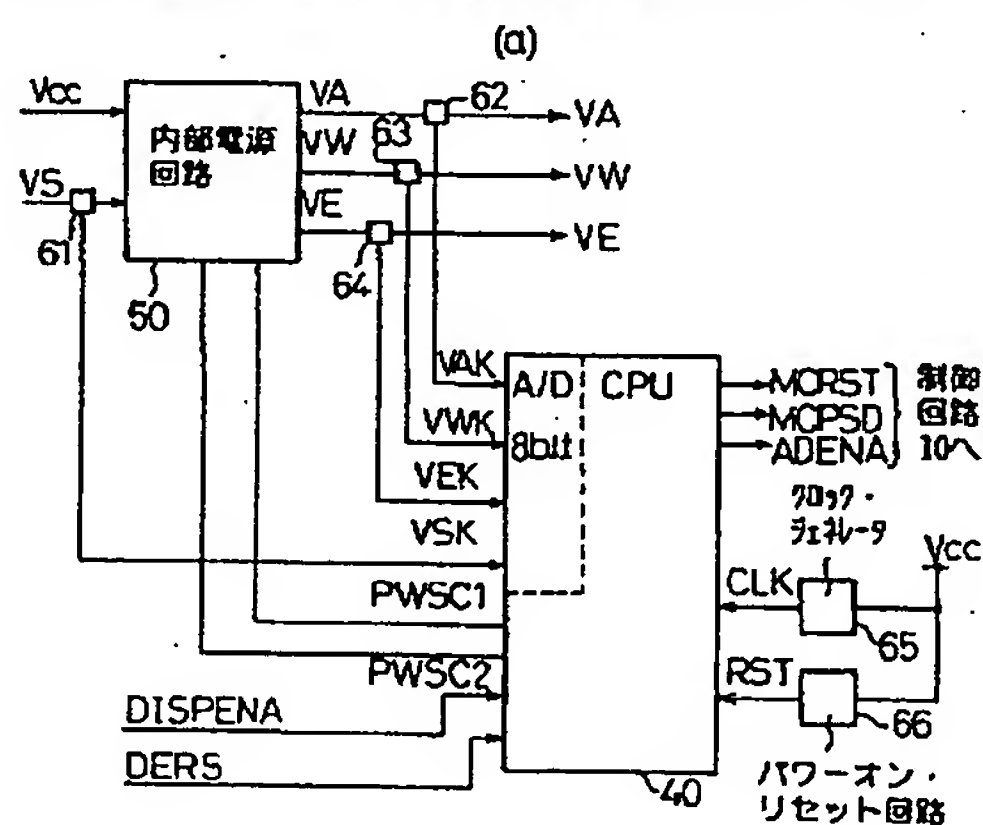
(54)【発明の名称】平面型表示装置

(57)【要約】

【目的】 プラズマ・ディスプレイ、エレクトロ・ルミネッセンス、液晶、蛍光表示管および発光ダイオード等を用いた平面型表示装置に関し、実際の表示には全く関係ないパネルへの充電電流および無駄なスイッチングによる無効電流を無くして消費電流を低減することを目的とする。

【構成】 ロジック電圧以外の表示用高電圧VSを少なくとも1つ使用とする平面型表示装置であって、該表示用高電圧VSの電圧値を検出する手段61、外部から入力される信号DISPENA、または、入力される表示データDATAの消去状態を検出する手段により、駆動制御信号を制御する駆動制御信号制御手段を備えるように構成する。

図1の平面型表示装置における要部を概略的に示すブロック図



【特許請求の範囲】

【請求項1】 ロジック電圧以外の表示用高電圧 (VS) を少なくとも1つ使用する平面型表示装置であつて、

該表示用高電圧 (VS) の電圧値を検出する手段 (61), 外部から入力される信号 (DISPENA), または, 入力される表示データ (DATA) の消去状態を検出する手段により、駆動制御信号を制御する駆動制御信号制御手段を備えていることを特徴とする平面型表示装置。

【請求項2】 前記平面型表示装置において、前記駆動制御信号を制御する駆動制御信号制御手段と共に、内部電源回路 (50) の動作を制御する内部電源制御手段を備えていることを特徴とする請求項1の平面型表示装置。

【請求項3】 前記内部電源制御手段は、前記表示用高電圧 (VS) および他の駆動電圧 (VA, VW, VE) を検出する電圧検出手段により検出された電圧値に応じて電源制御信号 (PWSC1, PWSC2) を変化させ、前記内部電源回路 (50) の動作を制御するようにしたことを特徴とする請求項2の平面型表示装置。

【請求項4】 前記表示用高電圧 (VS) および他の駆動電圧 (VA, VW, VE) を検出する電圧検出手段により検出された電圧値に応じて前記駆動制御信号制御手段により前記駆動制御信号 (MCRST, MCPSD, ADENA) を変化させ、前記内部電源制御手段により前記内部電源回路 (50) の動作を制御するようにしたことを特徴とする請求項2の平面型表示装置。

【請求項5】 前記駆動制御信号制御手段は、前記検出された表示用高電圧 (VS) の値が内部に設定した規定値に達しない場合には制御回路 (10) により回路動作を停止させ、且つ、該検出された表示用高電圧 (VS) の値が該内部に設定した規定値に達した場合には該制御回路 (10) により回路動作を再開させ、これにより、前記表示用高電圧 (VS) の可変により、前記駆動制御信号の制御を行うようにしたことを特徴とする請求項2の平面型表示装置。

【請求項6】 前記駆動制御信号制御手段は、前記検出された表示用高電圧 (VS) の値を比較するために内部に設定された少なくとも2つの第1および第2の規定値を有し、該第1の規定値は該表示用高電圧が立ち上がる場合に使用し、該第2の規定値は該表示用高電圧が立ち下がる場合に使用するようにしたことを特徴とする請求項5の平面型表示装置。

【請求項7】 前記平面型表示装置は、維持放電を行う平行する維持放電電極 (7, 8) と、該維持放電電極に直行して配置されたアドレス電極 (3) とを具備し、前記維持放電電極の一方 (7) を共通接続し、且つ、他方 (8) を表示ライン毎に独立して設け、壁電荷をメモリ媒体として利用した面放電構造を有する3電極型面放電交流型プラズマディスプレイ装置であることを特徴とす

る請求項1の平面型表示装置。

【請求項8】 表示用高電圧 (VS) および該表示用高電圧より生成した駆動電圧 (VA, VW, VE) を使用して表示を行う平面型表示装置であつて、

電源が投入されて初期設定が行われた後、前記表示用高電圧 (VS) が規定値になったかどうかを判別する第1の表示用高電圧判別手段 (S2) と、

前記表示用高電圧より生成した駆動電圧 (VA, VW, VE) が規定値になったかどうかを判別する第1の駆動電圧判別手段 (S5) と、

該駆動電圧を生成する内部電源回路 (50) の保護動作を開始した後、前記表示用高電圧 (VS) が規定値を維持しているかどうかを判別する第2の表示用高電圧判別手段 (S8) と、

前記駆動電圧 (VA, VW, VE) が規定値を維持しているかどうかを判別する第2の駆動電圧判別手段 (S9) とを具備し、その判別結果に基づいて駆動制御信号を制御することを特徴とする平面型表示装置。

【請求項9】 前記平面型表示装置は、前記第2の表示用高電圧判別手段 (S8) により前記表示用高電圧 (VS) が規定値を維持していないと判別されたとき、初期設定に処理を戻し、且つ、前記第2の駆動電圧判別手段 (S9) により前記駆動電圧 (VA, VW, VE) が規定値を維持していないと判別されたとき、内部電源および前記駆動制御信号の遮断を行うようにしたことを特徴とする請求項8の平面型表示装置。

【請求項10】 前記平面型表示装置は、さらに、前記表示用高電圧 (VS) が印加されてから前記駆動電圧 (VA, VW, VE) が規定値に立ち上がるまでの時間を補償する立ち上がり時間補償手段 (S3) を備えていることを特徴とする請求項8の平面型表示装置。

【請求項11】 前記第1の表示用高電圧判別手段 (S2) で前記表示用高電圧 (VS) と比較する規定値を、前記第2の表示用高電圧判別手段 (S8) で該表示用高電圧と比較する規定値と異なる値としたことを特徴とする請求項8の平面型表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は平面型表示装置に関し、特に、プラズマ・ディスプレイ、エレクトロ・ルミネセンス、液晶、蛍光表示管および発光ダイオード等を用いた平面型表示装置に関する。近年、平面型表示装置 (フラットディスプレイ) における大画面化、大容量化、フルカラー表示化の要求に伴って、該平面型表示装置の消費電力も大きくなる傾向にある。そこで、このような平面型表示装置においても、消費電力をでき得る限り低減することが要望されている。

【0002】

【従来の技術】 従来、平面型表示装置としては、PDP (プラズマ・ディスプレイ・パネル), EL素子 (エレクトロ・ルミネッセンス)

10

20

30

40

50

トロ・ルミネッセンス素子), LCD (液晶ディスプレイ), VFD (蛍光表示装置), および, LED (発光ダイオード) 等を用いたものが知られている。本発明は、これら種々の平面型表示装置に適用することが可能であるが、以下の説明では、PDP、特に、3電極面放電交流駆動型プラズマディスプレイ装置 (AC型PDP) を例にとって説明する。

【0003】図13は従来の3電極面放電交流駆動型のプラズマディスプレイパネルを模式的に示す図であり、図14は図13のプラズマディスプレイパネルにおける1つの放電セルの概略的構造を示す断面図である。ここで、図13は、 $M \times N$ ドットのパネル構造 (電極構造) を示している。図13および図14において、参照符号1は前面ガラス基板、2は背面ガラス基板、3はアドレス電極、4は壁、5は壁の間に設けられた蛍光体、6は誘電体層、7および8はX電極およびY電極を示している。このAC型PDPにおいて、放電は主に背面ガラス基板2上に配置された2本の維持放電電極 (X電極7およびY電極8) の間で行われ、また、表示データに応じた画素 (放電セル) の選択は、Y電極8とアドレス電極3との間の放電を利用して、該当するY電極8を含むライン上のセルを選択して行うようになっている。各維持放電電極 (7, 8) 上には、絶縁のための誘電体層6が形成され、該誘電体層6上に保護膜であるMgO膜が形成されている。さらに、背面ガラス基板2と向かい合う前面ガラス基板1には、アドレス電極3および蛍光体5が形成されている。ここで、蛍光体5は、カラー表示を可能とするために、赤・緑・青の発光特性を有し、該蛍光体5はアドレス電極3上に形成されるようになっている。

【0004】放電空間は、ガラス基板の片側もしくは両側に形成された壁 (障壁) 4によって分離され、放電はその中で各セル毎に起こるようになっており、放電によって発生した紫外線が蛍光体を発光させて表示を行うようになっている。このような構成を有するセルを、例えば、マトリクス状に ($M \times N$) 個だけ配列することにより、図13に示すようなディスプレイパネルが構成される。ここで、図13において、参照符号 $A_1 \sim A_M$ はアドレス電極3を示し、 $Y_1 \sim Y_N$ はY電極8を示している。また、各セルに対するX電極7は、共通結線とされている。

【0005】図15は図13に示すプラズマディスプレイパネルを用いた3電極面放電交流駆動型プラズマディスプレイ装置の一例を示すブロック図であり、代表的な3電極AC型PDPを駆動するための周辺回路を示すものである。図15において、参照符号100は制御回路、101は表示データ制御部、102はフレームメモリ、103はパネル駆動制御部、104はスキヤンドライバ制御部、そして、105は共通ドライバ制御部を示している。さらに、参照符号21はアドレスドライバ、22はXドライバ、23は

Yスキヤンドライバ、24はYドライバ、そして、30はプラズマ・ディスプレイ・パネル (PDP) 示している。

【0006】また、図15において、参照符号CLOCKは表示データを示すドットクロック、DATAは表示データ (256階調カラー表示の場合は、各色8ビット: 3×8)、VSYNCは1フレーム (1フィールド) の開始を示す垂直同期信号、そして、HSYNCは1ラインの開始を示す水平同期信号を示している。制御回路100は、表示データ制御部101およびパネル駆動制御部103を備えている。表示データ制御部101は、表示データをフレームメモリ102に蓄え、パネルの駆動タイミングに合わせて、アドレスドライバ21に転送するものである。ここで、参照符号A-DATAは表示データ、また、A-CLOCKは転送クロックを示している。

【0007】パネル駆動制御部103はパネル30に高圧波形を印加するタイミングを決定するものであり、スキヤンドライバ制御部104および共通ドライバ制御部105を備えている。ここで、参照符号Y-DATAはスキヤンデータ (Yスキヤンドライバを1ビット毎にONさせるためのデータ)、Y-CLOCKは転送クロック (Yスキヤンドライバを1ビット毎にONさせるためのクロック)、Y-STB1はYストロープ1 (YスキヤンドライバをONさせるタイミング規定する信号)、そして、Y-STB2はYストロープ2を示している。また、参照符号X-UDはX側共通ドライバのON/OFFを制御する信号 (VS/VWを出力)、X-DDはX側共通ドライバのON/OFFを制御 (GND)、Y-UDはY側共通ドライバのON/OFFを制御 (VS/VWを出力)、そして、Y-DDはX側共通ドライバのON/OFFを制御 (GND) を示している。

【0008】図15に示されるように、アドレス電極3 ($A_1 \sim A_M$) は1本毎にアドレスドライバ21に接続され、該アドレスドライバ21によってアドレス放電時のアドレスパルスが印加される。また、Y電極8 ($Y_1 \sim Y_N$) は個別にYスキヤンドライバ23に接続される。スキヤンドライバ23はY側共通ドライバ (Yドライバ) 24に接続されており、アドレス放電時のパルスはYスキヤンドライバ23から発生する。また、維持パルス等はYドライバ24で発生し、Yスキヤンドライバ23を経由して、Y電極8に印加される。さらに、X電極7は、パネル30の全表示ラインに渡って共通に接続される。そして、X側共通ドライバ (Xドライバ) 22は、書き込みパルスおよび維持パルス等が発生する。これらのドライバ回路は、制御回路100によって制御され、該制御回路100は、装置の外部より入力される同期信号や表示データ信号によって制御されるようになっている。

【0009】図16は図15のプラズマディスプレイ装

置における駆動波形の一例を示す図であり、いわゆる『アドレス／維持放電分離型・書き込みアドレス方式』における1サブフレーム（または、1サブフィールド）の駆動波形を示すものである。この方法は、例えば、フルカラーのための多階調表示を行う場合に適用され、低電圧で安定な駆動（アドレス）を行うことができるものである。

【0010】図16に示されるように、1サブフレーム内は、アドレス期間および維持放電期間に分離される。そして、アドレス期間においては、全面書き込み、全面消去、および、線順次書き込み（アドレス）が行われ、また、維持放電期間においては、全ライン同時に維持パルスが印加され、書き込みアドレスが実行され壁電荷が蓄積されたセルに対して維持放電が行われる。ここで、1サブフレームは、例えば、インターレース（飛び越し操作）処理により1フレームの画面を2つのサブフレームにより構成する場合には、各サブフレームにおけるサブフィールドに対応する。

【0011】この図16に示す駆動方法の特長は、アドレス期間の始めに行われる全面書き込みと全面消去によって、全セルの状態を均一とし、さらに、次に行われる線順次書き込み放電（アドレス放電）に有効な壁電荷を残した状態で消去の完了とすることである。まず、Y電極がGNDレベルになり、同時にX電極に書き込みパルス（電圧VW）が印加されて全面書き込みが行われる。この時、アドレス電極側、実際には蛍光体等の絶縁物表面に、正電荷であるイオンが蓄積される。そして、次のステップで、消去パルス（電圧VE）が印加されることにより、全面消去が行われる。消去放電は、X電極とY電極の絶縁層（MgO膜）表面に壁電荷が無い状態を作り出すものであるが、好ましくは、Y電極側のMgO面には、次のアドレス放電に有利な負電荷である電子を蓄積し、且つ、その際、残留した壁電荷の電圧値は、X電極およびY電極に維持放電パルスが印加されても、維持放電を起こさないレベルでなくてはならない。

【0012】これらの、均一化とアドレスの低電圧化を狙った、全面書き込み全面消去を経た後に、線順次に書き込み放電（アドレス放電）が行われる。この放電は、書き込みを行うラインのY電極をGNDレベルとして、そのライン中の書き込みを行うセルのアドレス電極に、アドレスパルス（電圧VA）が印加されて行われる。この際、アドレス側（蛍光体表面）にはイオンが、Y電極側（MgO面）には電子がそれぞれ蓄積されたいため、非常に低い電圧でアドレス放電が可能となる。これらの動作が、全ラインに渡り実行された後、X電極とY電極に交互に維持パルス（VS）が印加され維持放電が行われる。

【0013】

【発明が解決しようとする課題】上述した図13～図16に示す従来の平面型表示装置（プラズマディスプレイ

装置）において、例えば、表示を全面消去状態にする場合、表示装置に入力するデータそのものを非表示のデータにするか、或いは、ディスプレイ・イネーブル信号(DISPENA)の制御によりアドレスドライバの出力をOFFすることにより行っている。しかしながら、これらの手法により表示を全面消去状態とした場合、アドレスパルスの印加による壁電荷の形成は行われないが、その後の維持パルス（図9の維持放電期間における維持パルス）は印加されることになる。

【0014】すなわち、従来の平面型表示装置においては、実際の表示には全く関係ない維持パルスの印加により無駄な電力が消費されることになっていた。本発明は、上述した従来の平面型表示装置が有する課題に鑑み、実際の表示には全く関係ないパネルへの充電電流および無駄なスイッチングによる無効電流を無くして消費電流を低減することを目的とする。

【0015】

【課題を解決するための手段】本発明によれば、ロジック電圧以外の表示用高電圧VSを少なくとも1つ使用とする平面型表示装置であって、該表示用高電圧VSの電圧値を検出する手段61、外部から入力される信号（消去状態または待機状態を示す信号）DISPENA、または、入力される表示データDATAの消去状態を検出する手段により、駆動制御信号を制御する駆動制御信号制御手段を備えていることを特徴とする平面型表示装置が提供される。

【0016】平面型表示装置において、駆動制御信号を制御する駆動制御信号制御手段と共に、内部電源回路50の動作を制御する内部電源制御手段を備えることができる。また、内部電源制御手段は、表示用高電圧VSおよび他の駆動電圧VA、VW、VEを検出する電圧検出手段により検出された電圧値に応じて電源制御信号PWSC1、PWSC2を変化させ、内部電源回路50の動作を制御するように構成してもよい。さらに、表示用高電圧VSおよび他の駆動電圧VA、VW、VEを検出する電圧検出手段により検出された電圧値に応じて駆動制御信号制御手段により駆動制御信号MCRST、MCPD、ADENAを変化させ、内部電源制御手段により内部電源回路50の動作を制御するように構成してもよい。

【0017】駆動制御信号制御手段は、検出された表示用高電圧VSの値が内部に設定した規定値に達しない場合には制御回路10により回路動作を停止させ、且つ、検出された表示用高電圧VSの値が内部に設定した規定値に達した場合には制御回路10により回路動作を再開させ、これにより、表示用高電圧VSの可変により、駆動制御信号の制御を行うようにすることができる。駆動制御信号制御手段は、検出された表示用高電圧VSの値を比較するために内部に設定された少なくとも2つの第1および第2の規定値を有し、第1の規定値は表示用高

電圧が立ち上がる場合に使用し、第2の規定値は表示用高電圧が立ち下がる場合に使用するようにしてもよい。

【0018】平面型表示装置は、維持放電を行う平行する維持放電電極7、8と、維持放電電極に直行して配置されたアドレス電極3とを具備し、維持放電電極の一方7を共通接続し、且つ、他方8を表示ライン毎に独立して設け、壁電荷をメモリ媒体として利用した面放電構造を有する3電極型面放電交流型プラズマディスプレイ装置として構成してもよい。

【0019】

【作用】本発明の平面型表示装置によれば、駆動制御信号制御手段は、表示用高電圧VSの電圧値を検出する手段61、外部から入力される信号DISPENA、または、入力される表示データDATAの消去状態を検出する手段により、駆動制御信号を制御するようになっている。

【0020】これによって、全面消去表示を行う時に、実際の表示には全く関係ないパネルへの充電電流および無駄なスイッチングによる無効電流を無くして消費電流を低減することができる。内部電源制御手段は、駆動制御信号を制御する駆動制御信号制御手段と共に、内部電源回路50の動作を制御する。この内部電源制御手段は、表示用高電圧VSおよび他の駆動電圧VA、VW、VEを検出する電圧検出手段により検出された電圧値に応じて電源制御信号PWSC1、PWSC2を変化させ、内部電源回路50の動作を制御する。また、駆動制御信号制御手段は、表示用高電圧VSおよび他の駆動電圧VA、VW、VEを検出する電圧検出手段により検出された電圧値に応じて駆動制御信号MCRST、MCPSD、ADENAを変化させ、さらに、内部電源制御手段は、内部電源回路50の動作を制御する。

【0021】駆動制御信号制御手段は、検出された表示用高電圧VSの値が内部に設定した規定値に達しない場合には制御回路10により回路動作を停止させ、また、検出された表示用高電圧VSの値が内部に設定した規定値に達した場合には制御回路10により回路動作を再開させる。これにより、表示用高電圧VSの可変により、駆動制御信号の制御を行うようにすることができる。この駆動制御信号制御手段は、検出された表示用高電圧VSの値を比較するために内部に設定された少なくとも2つの第1および第2の規定値を有している。そして、第1の規定値は表示用高電圧が立ち上がる場合に使用され、また、第2の規定値は表示用高電圧が立ち下がる場合に使用される。

【0022】平面型表示装置は、維持放電を行う平行する維持放電電極7、8と、維持放電電極に直行して配置されたアドレス電極3とを備えて構成されている。この平面型表示装置において、維持放電電極の一方7は共通接続され、また、維持放電電極の他方8は表示ライン毎に独立して設けられている。これにより、平面型表示装置を壁電荷をメモリ媒体として利用した面放電構造を有

する3電極型面放電交流型プラズマディスプレイ装置として構成することができる。

【0023】

【実施例】以下、図面を参照して本発明に係る平面型表示装置の実施例を説明する。図1は本発明に係る平面型表示装置の一実施例としての3電極面放電交流駆動型のプラズマディスプレイ装置を示す図であり、代表的な3電極AC型PDPを駆動するための周辺回路を示すものである。

10 【0024】図1において、参照符号10は制御回路、11は表示データ制御部、12はフレームメモリ、13はパネル駆動制御部、14はスキャンドライバ制御部、そして、15は共通ドライバ制御部を示している。また、参照符号21はアドレスドライバ、22はXドライバ、23はYスキャンドライバ、24はYドライバ、そして、30はプラズマ・ディスプレイ・パネル(PDP)を示している。さらに、参照符号40はCPU、ADENAは表示データ制御部11に対する制御信号、そして、MCRSTおよびMCPSDは表示パネル駆動制御部13に対する制御信号を示している。

20 【0025】ここで、図1に示すプラズマディスプレイ装置は、前述した図15のプラズマディスプレイ装置に対して、制御回路10へ制御信号(駆動制御信号)MCRST、MCPSD、ADENAを供給すると共に内部電源回路50へ制御信号(電源制御信号)PWSC1、PWSC2を供給するCPU40が設けられている。さらに、制御回路10の構成および内部電源回路50も、CPU40からの制御信号MCRST、MCPSD、ADENAおよびPWSC1、PWSC2に対応して変形されている(詳細は、後述する)。なお、本実施例のプラズマディスプレイ装置の他の構成は、基本的には、図15に示すものと同様である。

30 【0026】すなわち、図1において、参照符号CLOCKは表示データを示すドットクロック、DATAは表示データ(256階調カラー表示の場合は、各色8ビット:3×8)、DISPENAは外部から表示装置を消去状態或いは待機状態にする信号(ディスプレイ・イネーブル信号)、VSYNCは1フレーム(1フィールド)の開始を示す垂直同期信号、そして、HSYNCは1ラインの開始を示す水平同期信号を示している。

40 【0027】制御回路10は、表示データ制御部11およびパネル駆動制御部13を備えている。表示データ制御部11は、入力されるデータを監視しているために、データが入力されている場合、すなわち、データがある場合には、信号DERSのレベルを高レベル“H”に変化させ、データが入力されていない場合、すなわち、データが無い場合には、信号DERSのレベルを低レベル“L”に変化させて、CPU40に供給する。さらに、表示データ制御部11は、表示データをフレームメモリ12に蓄え、パネルの駆動タイミングに合わせて、アドレスドラ

イバ21に転送するようになっている。なお、参照符号A-DATAは表示データ、また、A-CLOCKは転送クロックを示している。

【0028】パネル駆動制御部13はパネル30に高圧波形を印加するタイミングを決定するものであり、スキヤンドライバ制御部14および共通ドライバ制御部15を備えている。ここで、参照符号Y-DATAはスキヤンデータ(Yスキヤンドライバを1ビット毎にONさせるためのデータ)、Y-CLOCKは転送クロック(Yスキヤンドライバを1ビット毎にONさせるためのクロック)、Y-STB1はYストロブ1(YスキヤンドライバをONさせるタイミング規定する信号)、そして、Y-STB2はYストロブ2を示している。また、参照符号X-UDはX側共通ドライバのON/OFFを制御する信号(VS/VWを出力)、X-DDはX側共通ドライバのON/OFFを制御(GND)、Y-UDはY側共通ドライバのON/OFFを制御(VS/VWを出力)、そして、Y-DDはX側共通ドライバのON/OFFを制御(GND)を示している。

【0029】図1に示されるように、アドレス電極3は1本毎にアドレスドライバ21に接続され、該アドレスドライバ21によってアドレス放電時のアドレスパルスが印加される。また、Y電極8は個別にYスキヤンドライバ23に接続される。スキヤンドライバ23はY側共通ドライバ(Yドライバ)24に接続されており、アドレス放電時のパルスはYスキヤンドライバ23から発生する。また、維持パルス等はYドライバ24で発生し、Yスキヤンドライバ23を経由して、Y電極8に印加される。さらに、X電極7は、パネル30の全表示ラインに渡って共通に接続される。そして、X側共通ドライバ(Xドライバ)22は、書き込みパルスおよび維持パルス等を発生する。これらのドライバ回路は、制御回路10によって制御され、該制御回路10は、装置の外部より入力される同期信号や表示データ信号およびCPU40からの制御信号(MCRST, MCPST, ADENA)によって制御されている。

【0030】ここで、本実施例の平面型表示装置の特徴は、表示用高電圧VS、外部から入力される消去状態または待機状態を示す信号(DISPEN), および、入力される表示データDATAにおけるデータの無い状態(信号DE RS)をユニット(表示装置)内部で検出し、これにより、表示用高電圧VS投入時の立ち上がりおよび表示用高電圧VS遮断時の立ち下がり時等の低電圧、或いは、高電圧での表示不良(異常)を防いで表示を消去状態とし、また、外部から入力される信号DISPEN に応じて表示を消去状態(待機状態)とし、さらに、入力される表示データDATAが無い(所定時間データが入力しない)場合に表示を消去状態にすることができるようになっている。

【0031】また、本実施例においては、利用者(オペ

レータ)が、装置に印加する表示用高電圧VSを意図的に遮断或いは規定値以下に低下させることで、表示装置に入力する信号を何ら制御することなく(変えることなく)、制御信号(MCRST, MCPST, ADENA)により駆動電流波形を停止させ、これによって、パネルに対して駆動波形が印加されないようにして無効電流の極力少ない画面の消灯状態にすることができる。すなわち、表示用高電圧VSを意図的に制御することで、新たな信号線を設けることなく、無効電流の極力少ない画面の消灯状態にすることができる。従って、本実施例においては、オペレータは、意図的に表示用高電圧VSを遮断或いは規定値以下に低下させるか、または、消去状態または待機状態を示す信号DISPEN を制御することにより、表示を消去状態にすることができる。

【0032】図2は図1の平面型表示装置の要部を示し、図2(a)は該平面型表示装置における要部を概略的に示すブロック図であり、また、図2(b)は図2(a)における電圧検出器の構成例を示す回路図である。ここで、図2(a)において、参照符号40はCPU、50は内部電源回路、61~64は高電圧検出回路、65はクロック・ジェネレータ、そして、66はパワーオン・リセット回路を示している。

【0033】図2(a)に示されるように、内部電源回路50には、電源電圧Vccおよび表示用高電圧VSが印加され、アドレス放電パルス用電圧VA、書き込み放電パルス用電圧VW、および、消去用パルス電圧VEがPWM制御により出力されるようになっている。ここで、表示用高電圧VSは高電圧検出器61により検出され、アドレス放電パルス用電圧VAは高電圧検出器62により検出され、書き込み放電パルス用電圧VWは高電圧検出器63により検出され、そして、消去用パルス電圧VEは高電圧検出器63により検出される。ここで、図2(b)に示されるように、各高電圧検出回路61(62, 63, 64)は、それぞれ抵抗R61~R63およびコンデンサC61で構成され、検出信号VSK(VAK, VWK, VEK)を出力するようになっている。

【0034】検出された信号VSK, VAK, VWK, VEKは、それぞれCPU40に内蔵された8ビットのアナログ/ディジタル変換器(A/Dコンバータ)に供給され、これにより該CPU40が各電圧値を8ビットデータ(256ポイントのデータ)として内部レジスタに取り込んで認識できるようになっている。また、CPU40には、クロック・ジェネレータ65の出力信号(クロック信号)CLKおよびパワーオン・リセット回路66の出力信号(パワーオン・リセット信号)RSTも供給されている。そして、CPU40からは、内部電源回路50に対して制御信号(電源制御信号)PWSC1およびPWSC2が出力され、また、制御回路10に対して制御信号(駆動制御信号)MCRST, MCPST, ADENAが出力されるようになっている。

【0035】図3および図4は図2における内部電源回路の一例を示すブロック回路図である。ここで、図3は主に内部電源回路の全体的な構成を示し、また、図4はCPU40から供給される制御信号PWSC1, PWSC2 を処理する回路および図3におけるDTC電圧回路(55)を示している。これら図3～図5に示す内部電源回路の構成は、本件と同一出願人により出願された特願平5-135972号に詳細に記載されている。

【0036】図3において、参照符号51はスイッチング波形電圧/電流変換回路、52は基準電圧回路(Vr電圧)、53はPWM制御回路、54は基準三角波発振回路、55はDTC電圧回路、そして、56は保護回路を示しており、これらの回路は、例えば、1つのICチップとして集積化されている。同図に示されるように、内部電源回路50は、スイッチング波形電圧/電流変換回路51、基準電圧回路52、PWM制御回路53、基準三角波発振回路54、DTC電圧回路55、保護回路56、FET(トランジスタ)Tr50、抵抗R51～R53、コンデンサC51～C54、ダイオードD50、および、チョークコイルL50を備えている。ここで、コンデンサC52およびC54は、電解コンデンサである。

【0037】図4において、参照符号71はラッチ回路、72はコンパレータを示している。同図に示されるように、内部電源回路50は、さらに、ラッチ回路71、コンパレータ72、トランジスタTr71～Tr71、抵抗R71～R75、コンデンサC71およびC72を備えている。ここで、コンデンサC71およびC72は外付けされており、また、コンデンサC71は電解コンデンサである。また、コンパレータ72の一方の入力には表示用高電圧VS(表示用高電圧の分圧値VS/n)が印加され、該コンパレータ72の他方の入力には基準電圧Vr(表示用高電圧の分圧値VS/nに対応した基準電圧の分圧値Vr/n)が印加されている。また、制御信号PWSC1およびPWSC2は、表示用高電圧VSを抵抗により分圧した電位を接続したり、表示用高電圧VSの電圧および電流を監視している回路からの出力信号を接続するために使用される。この図4に示す回路では、Vsc電位がトランジスタTr71のスイッチング状態とは別に、制御信号PWSC1, PWSC2により制御されるトランジスタTr72, Tr73のスイッチング状態によっても電位を制御することができるようになっており、これにより、表示用高電圧VSでも保護回路(56)の制御が可能となっている。

【0038】図3～図5に示す内部電源回路50は、該電源回路内部の保護回路として内部に基準電源を内蔵しており、各出力電圧の分圧値と基準電圧を比較した結果、分圧値が高い場合内部スイッチングを停止して出力を停止するようになっている。ここで、本実施例の平面型表示装置における内部電源回路50は、CPU40からの制御信号PWSC1およびPWSC2により保護動作と出力の制御が行われるようになっている。この制御

信号PWSC1 およびPWSC2 の論理を次の表1に示す。

【0039】

【表1】

【表1】

PWSC1	PWSC2	回路動作
H	H	内部保護回路動作禁止
H	L	内部保護回路動作開始
L	L	内部電源出力停止

【0040】上記の表1から明らかなように、信号PWSC1 およびPWSC2 が両方共に高レベル“H”のときは内部保護回路の動作が禁止され(保護動作による遮断が行われない状態)、信号PWSC1 が高レベル“H”で信号PWSC2 が低レベル“L”のときは内部保護回路の動作が開始され(保護動作による遮断が行われる状態)、そして、信号PWSC1 およびPWSC2 が両方共に低レベル“L”のときは内部電源出力が停止される。

【0041】図6は図1の平面型表示装置における表示データ部の要部を示す回路図であり、図7は図1の平面型表示装置におけるパネル駆動制御部の要部を示す回路図である。ここで、前述した図1に示すように、CPU40から制御回路10に対して制御信号MCRST, MCPSD, ADENAが供給されるが、制御信号ADENAは表示データ部11に供給され、制御信号MCRSTはパネル駆動制御部13に供給される。

【0042】図6に示されるように、表示データ部11は、表示データD0～D7が一方の入力に供給されるANDゲート110～117を有している。これら各ANDゲート110～117の他方の入力には、それぞれ制御信号ADENAが供給され、該信号ADENAが高レベル“H”のときはアドレスデータA-DATA(D0A～D7A)がアドレスドライバ21へ出力され、信号ADENAが低レベル“L”のときはアドレスデータA-DATA(D0A～D7A)がアドレスドライバ21へ出力されないようになっている。従って、制御信号ADENAにより、制御回路10(表示データ部11)からアドレスドライバ21へ供給されるアドレスデータA-DATAを制御するようになっている。

【0043】図7に示されるように、パネル駆動制御部13(共通ドライバ制御部15)は、ANDゲート131, 132, ORゲート133, およびフリップ・フロップ134を有している。ANDゲート131の反転入力およびANDゲート132の入力には、制御信号MCPSDが供給され、ANDゲート131, 132の出力は、ORゲート133を介してフリップ・フロップ134のデータ入力に供給されている。ここで、ANDゲート132の入力には、信号Y-UD, Y-DD, X-UD, X-DDが供給され、信号MCPSDが供給され、ANDゲート131, 132の出力は、ORゲート133を介してフリップ・フロップ134のデータ入力に供給されている。従って、制御信号MCPSDにより制御回路10(共通

ドライバ制御部15)からXドライバ22およびYドライバ24へ供給される信号Y-UD, Y-DD, X-UD, X-DDを制御するようになっている。

【0044】制御信号MCRSTは、パネル駆動制御回路部13内部の全てのラッチ或いはフリップ・フロップのダイレクトクリア端子に供給されており、低レベル“L”*

〔表2〕

	初期設定時	正常動作時	異常処理時	データ無し DERS="L"	データ有り DERS="H"	DISPENA ="L"
MCRST	L	H	L	L	H	L
MCPSD	H	L	H	H	L	H
ADENA	L	H	L	L	H	L

【0046】上記の表2に示されるように、初期設定時には、信号MCRSTおよびADENAが低レベル“L”で信号MCPSDが高レベル“H”となり、そして、正常動作時には、信号MCRSTおよびADENAが高レベル“H”で信号MCPSDが低レベル“L”となる。また、異常処理時には、信号MCRSTおよびADENAが低レベル“L”で信号MCPSDが高レベル“H”となる。さらに、信号DERSのレベルが低レベル“L”の場合、すなわち、データが無い(所定時間データが入力されない)場合には、信号MCRSTおよびADENAのレベルが低レベル“L”で信号MCPSDが高レベル“H”となる。また、信号DERSのレベルが高レベル“H”の場合、すなわち、データが有る場合には、信号MCRSTおよびADENAのレベルが高レベル“H”で信号MCPSDが低レベル“L”となる。

【0047】そして、信号DISPENAのレベルが低レベル“L”の場合、すなわち、本プラズマディスプレイ装置を搭載した表示装置(該表示装置を制御する装置)またはオペレータが意図的に表示装置を消去状態(待機状態)にしたい場合には、信号MCRSTおよびADENAのレベルが低レベル“L”で信号MCPSDが高レベル“H”となる。

【0048】図8は本発明の平面型表示装置における処理の一例を示すフローチャート、図9は図8のフローチャートにおけるタイマの動作を説明するための図、そして、図10は図8のフローチャートに示す処理を説明するための波形図である。図8に示されるように、まず、電源(Vcc)が投入されると、CPU40は、パワーオン・リセット回路66からの高レベル“H”のリセット信号RSTによりプログラムが動作される。そして、ステップS1において、初期設定が行われる。この初期設定では、駆動制御信号MCRST, MCPSD, ADENAの制御により駆動波形が停止され、また、制御信号PWSC1, PWSC2により内部保護回路の動作が禁止状態とされる。次に、ステップS2において、表示用高電圧VSがチェックされる。すなわち、表示用高電圧VSが規定値になるまでループし続け、表示用高電圧VSが規定値(予めCPUの

*の制御信号MCRSTにより初期化されるようになっている。ここで、制御信号MCRST, MCPSD, ADENAのレベルは、各状態において次の表2のようになる。

【0045】

〔表2〕

内部に規定された値、例えば、170V:図10参照)を越えると、初めてループから抜けて次のステップS3に進む。

【0049】ステップS3では、タイマによる時間補償が行われる。すなわち、図9に示されるように、まず、電源(図9(b)参照)が投入された後、内部電源回路50の出力電圧VA(VW, VE:図9(c)参照)は、表示用高電圧VS(図9(a)参照)が正常に印加されてから規定値に立ち上がるまでに約350msec.程度の時間かかるため、この時間をステップS3のタイマ処理により保証している。ここで、図9(d)および(e)に示されるように(表1参照)、信号PWSC1およびPWSC2が両方共に高レベル“H”のときは内部保護回路の動作が禁止され、信号PWSC1が高レベル“H”で信号PWSC2が低レベル“L”のときは内部保護回路の動作が開始され、そして、信号PWSC1およびPWSC2が両方共に低レベル“L”のときは内部電源出力が停止される。

【0050】さらに、ステップS4に進んで、制御信号PWSC1およびPWSC2により内部保護回路の動作を開始させる。次に、ステップS5に進んで、内部電源のチェックを行う。この内部電源チェックは、各内部電源回路50の出力電圧VA, VW, VEが電圧を予めCPU40の内部に規定された値を出力しているかどうかを確認するもので、電圧値が異常の場合はステップS10の異常処理ルーチンに分岐する。ステップS10の異常処理ルーチンでは、制御信号PWSC1およびPWSC2により内部電源回路50の動作を停止させ、また、制御信号MCRST, MCPSD, ADENAにより制御回路10の動作を停止させ、図16の駆動波形が全て出ない状態にする。なお、この状態は、電源Vccを再度投入してパワーオンリセット回路を働かせない限りクリアすることはできない。

【0051】一方、ステップS5において、全ての電圧(駆動電圧)VA, VW, VEが正常であったと判別されると、ステップS6に進んで、制御信号MCRST, MCPSD, ADENAにより、制御回路10(表示データ制御部11お

よびパネル駆動制御部13)の動作を開始させる。ここで、信号MCRSTは、パネル駆動制御部13内部の全てのラッチ或いはフリップ・フロップのダイレクトクリアを制御するリセット信号であり、また、信号MCPSDは非同期に高圧駆動回路をリセットするリセット信号である。さらに、信号ADENAはアドレスドライバ21のイネーブル信号である。

【0052】そして、ステップS7に進んで、外部から入力される信号DISPENA(ディスプレイ・イネーブル信号)のチェック、および、制御回路10(表示データ制御部11)で検出された入力される表示データDATAにおけるデータの無い状態の検出信号DERSのチェックを行う。このステップS7において、信号DISPENA またはDERSの少なくとも一方が低レベル“L”の場合、具体的に、例えば、本プラズマディスプレイ装置を搭載した表示装置(該表示装置を制御する装置)またはオペレータが意図的に信号DISPENA により表示装置を消去状態(待機状態)にしたい場合、或いは、表示データDATAが無い(所定時間データが入力しない)場合には、ステップS1に戻って前述した処理を行う。この場合には、画面が全面消去状態になるだけでなく、表示に関係の無いパネルへの充放電電流や無駄なスイッチングによる無効電流を無くして消費電力を低減することができる。また、ステップS7において、信号DISPENA またはDERSの両方とも高レベル“H”の場合、具体的に、例えば、本プラズマディスプレイ装置を搭載した表示装置(該表示装置を制御する装置)またはオペレータによる信号DISPENA の入力がなく、且つ、表示データDATAが入力している場合には、ステップS8に進む。

【0053】ステップS8では、再度、表示用高電圧VSをチェックし、表示用高電圧VSが規定値であると判別されると、さらに、ステップS9に進んで、内部電源電圧VA, VW, VEの出力をチェックする。この間、表示用高電圧VSが規定値よりも下がった場合、すなわち、ステップS8における表示用高電圧VSのチェックがNGの場合には、ステップS1の初期設定に戻ると共に、ステップS10の異常処理を行うことになる。ここで、ステップS8における表示用高電圧VSをチェックするための規定値は、ステップS2における最初の表示用高電圧VSをチェックするための規定値(175V)よりも低い165Vとすることにより電圧変動によるプログラムの異常動作を防いでいる。ここで、表示用高電圧VSの値が195Vを越えた場合、異常電圧入力として異常処理ルーチン(ステップS10)に分岐し、制御信号PWSC1 およびPWSC2 により内部電源回路50の動作を停止させ、また、制御信号MCRST, MCPSD, ADENA により制御回路10の動作を停止させる(図10参照)。

【0054】すなわち、図10に示されるように、まず、表示用高電圧VSの値が175Vまで上昇すると内部電源電圧VA, VW, VEをチェックした後に表示開

始となる。そして、表示用高電圧VSの値が165V以下に低下すると、初期設定に戻り、制御信号MCRST, MCPSD, ADENAにより制御回路10はリセット状態となって表示は全面消去となる。

【0055】このように、本実施例の平面型表示装置によれば、外部から入力される消去または待機の状態を示す信号、或いは、入力される表示データの消去状態を検出する手段により、駆動制御信号を制御する手段および表示用高電圧の電圧値に応じて駆動制御回路を全て停止状態とすることができ、無駄な電力を消費することなく全面消去表示を行うことが可能となる。

【0056】図11は本発明に係る平面型表示装置の他の実施例としての2電極面放電交流駆動型プラズマディスプレイ装置を示すブロック図であり、図12は図11のプラズマディスプレイ装置における駆動波形の一例を示す図である。図11において、参照符号7AはX電極(X₁ ~ X_M)を示し、21AはX-アドレスドライバを示している。

【0057】図11と図1との比較から明らかなように、本実施例の2電極面放電交流駆動型プラズマディスプレイ装置は、3電極面放電交流駆動型プラズマディスプレイ装置における共通接続されたX電極7は取り除かれ、アドレスドライバ21としてX-アドレスドライバ21Aが設けられ、アドレス電極(A₁ ~ A_M)3としてX電極7Aが設けられている。また、本実施例においては、Xドライバ22の出力がX-アドレスドライバ21Aに供給されるようになっている。

【0058】さらに、図12と図16との比較から明らかなように、2電極面放電交流駆動型プラズマディスプレイ装置のX電極波形(X₁ ~ X_M)が、3電極面放電交流駆動型プラズマディスプレイ装置におけるアドレス電極波形(A₁ ~ A_M)に対応している。ここで、前述した本発明の特徴とする構成および動作は、本実施例の2電極面放電交流駆動型プラズマディスプレイ装置に対してもそのまま当て嵌めることができる。さらに、本発明の平面型表示装置は、上述した2電極および3電極の面放電交流駆動型プラズマディスプレイ装置に限定されるものではなく、エレクトロ・ルミネッセンス(EL)等の他の様々な平面型表示装置に対しても適用することが可能である。

【0059】

【発明の効果】以上、詳述したように、本発明の平面型表示装置によれば、実際の表示には全く関係ないパネルへの充電電流および無駄なスイッチングによる無効電流を無くして消費電流を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る平面型表示装置の一実施例としての3電極面放電交流駆動型プラズマディスプレイ装置を示すブロック図である。

【図2】図1の平面型表示装置における要部を概略的に

示すブロック図である。

【図3】図2における内部電源回路の一例を示すブロック回路図（その1）である。

【図4】図2における内部電源回路の一例を示すブロック回路図（その2）である。

【図5】図3および図4に示す内部電源回路における各部の制御波形を示す図である。

【図6】図1の平面型表示装置における表示データ部の要部を示す回路図である。

【図7】図1の平面型表示装置におけるパネル駆動制御部の要部を示す回路図である。

【図8】本発明の平面型表示装置における処理の一例を示すフローチャートである。

【図9】図8のフローチャートにおけるタイマの動作を説明するための図である。

【図10】図8のフローチャートに示す処理を説明するための波形図である。

【図11】本発明に係る平面型表示装置の他の実施例としての2電極面放電交流駆動型プラズマディスプレイ装置を示すブロック図である。

【図12】図11のプラズマディスプレイ装置における駆動波形の一例を示す図である。

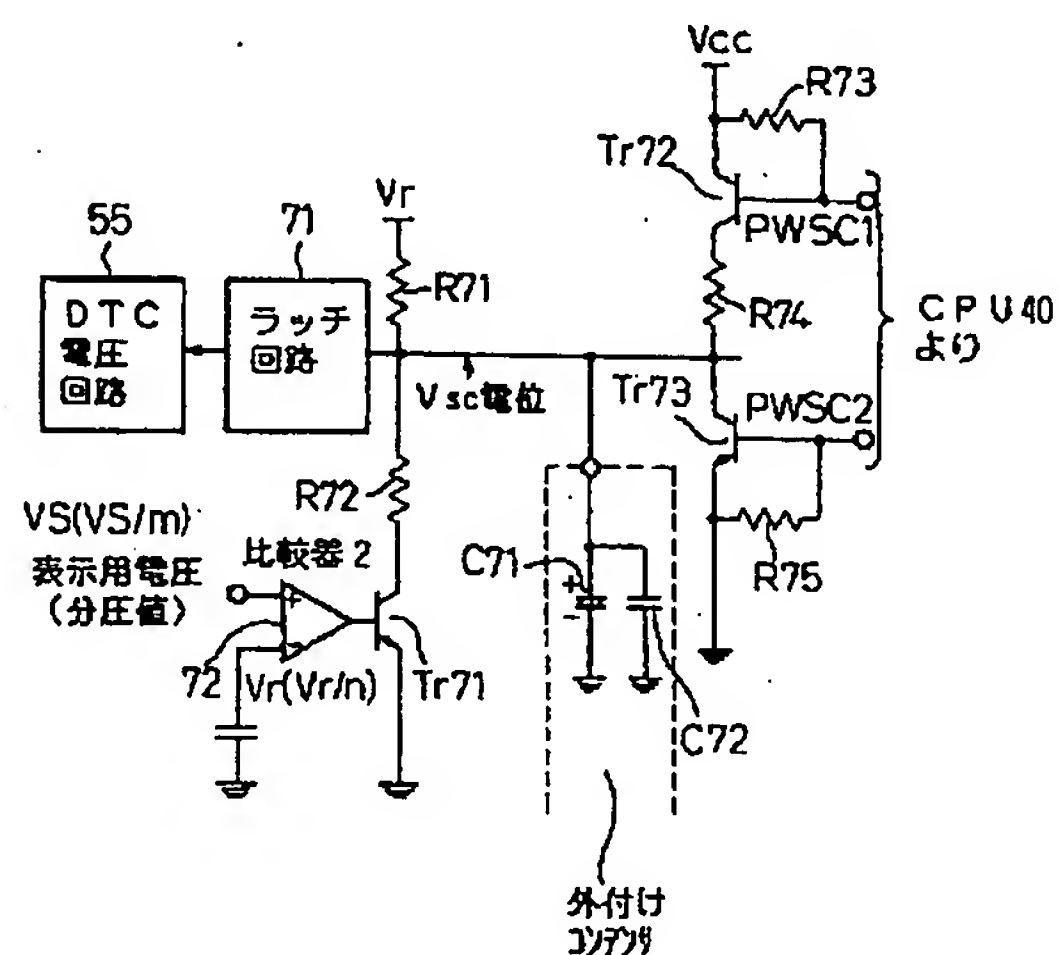
【図13】従来の3電極面放電交流駆動型のプラズマディスプレイパネルを模式的に示す図である。

【図14】図13のプラズマディスプレイパネルにおける1つの放電セルの概略的構造を示す断面図である。

【図15】図13に示すプラズマディスプレイパネルを用いた3電極面放電交流駆動型プラズマディスプレイ装置の一例を示すブロック図である。

【図4】

図2における内部電源回路の一例を示すブロック回路図（その2）



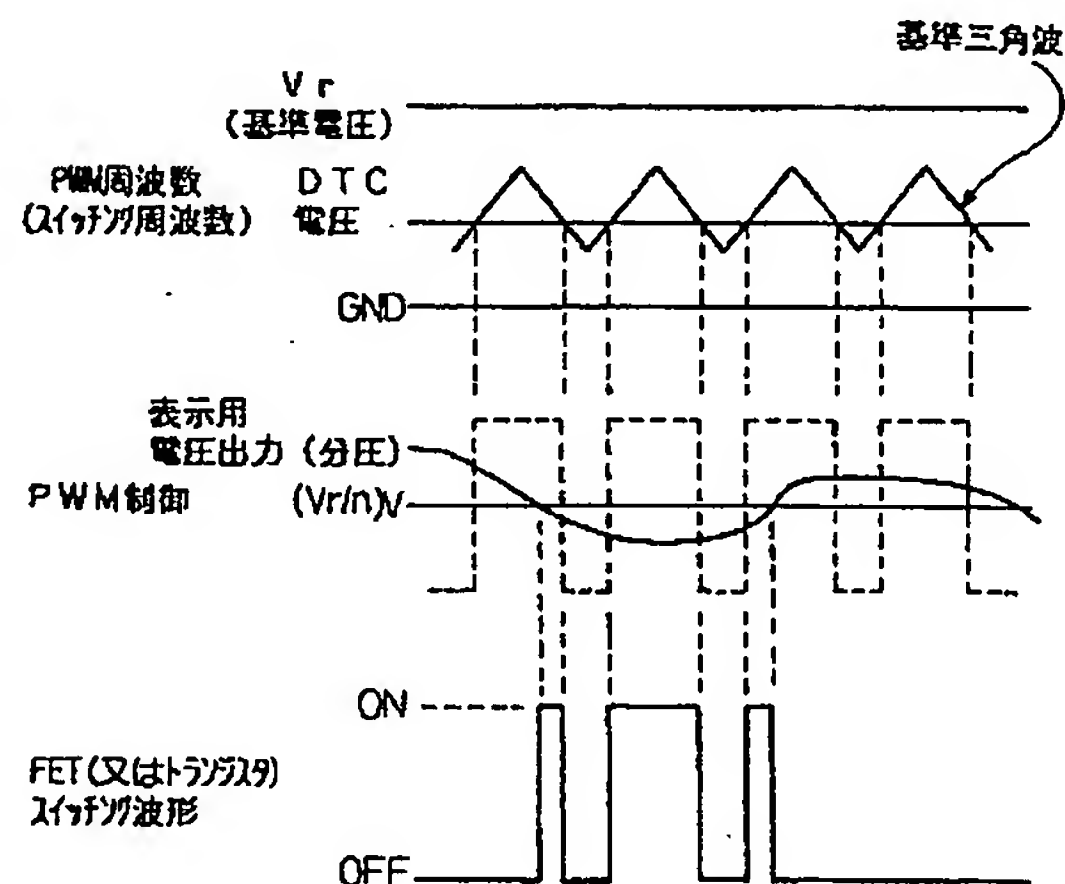
【図16】図15のプラズマディスプレイ装置における駆動波形の一例を示す図である。

【符号の説明】

- 1…前面ガラス基板
- 2…背面ガラス基板
- 3…アドレス電極
- 4…壁
- 5…蛍光体
- 6…誘電体層
- 7…X電極（維持電極）
- 8…Y電極（維持電極）
- 10…制御回路
- 11…表示データ制御部
- 12…フレームメモリ
- 13…パネル駆動制御部
- 14…スキヤンドライバ制御部
- 15…共通ドライバ制御部
- 21…アドレスドライバ
- 22…Xドライバ
- 23…Yスキヤンドライバ
- 24…Yドライバ
- 30…プラズマ・ディスプレイ・パネル（PDP）
- 40…CPU
- 50…内部電源回路
- VS…表示用高電圧
- VA, VW, VE…駆動電圧
- PWSC1, PWSC2…制御信号（内部電源回路用）
- MCRST, MCPSD, ADENA…制御信号（制御回路用）

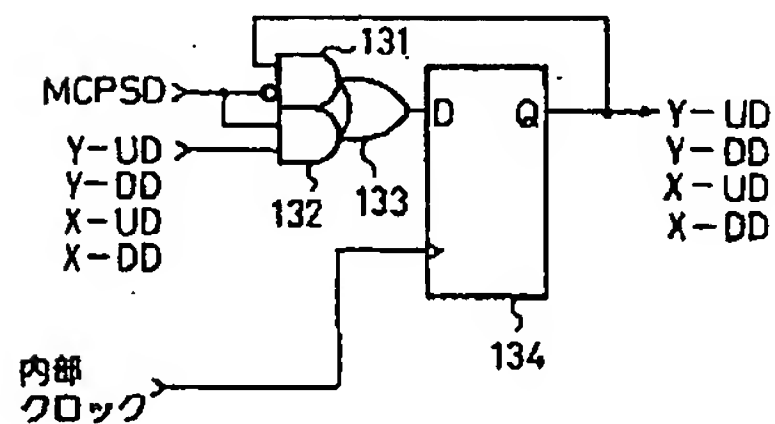
【図5】

図3および図4に示す内部電源回路における各部の制御波形を示す図



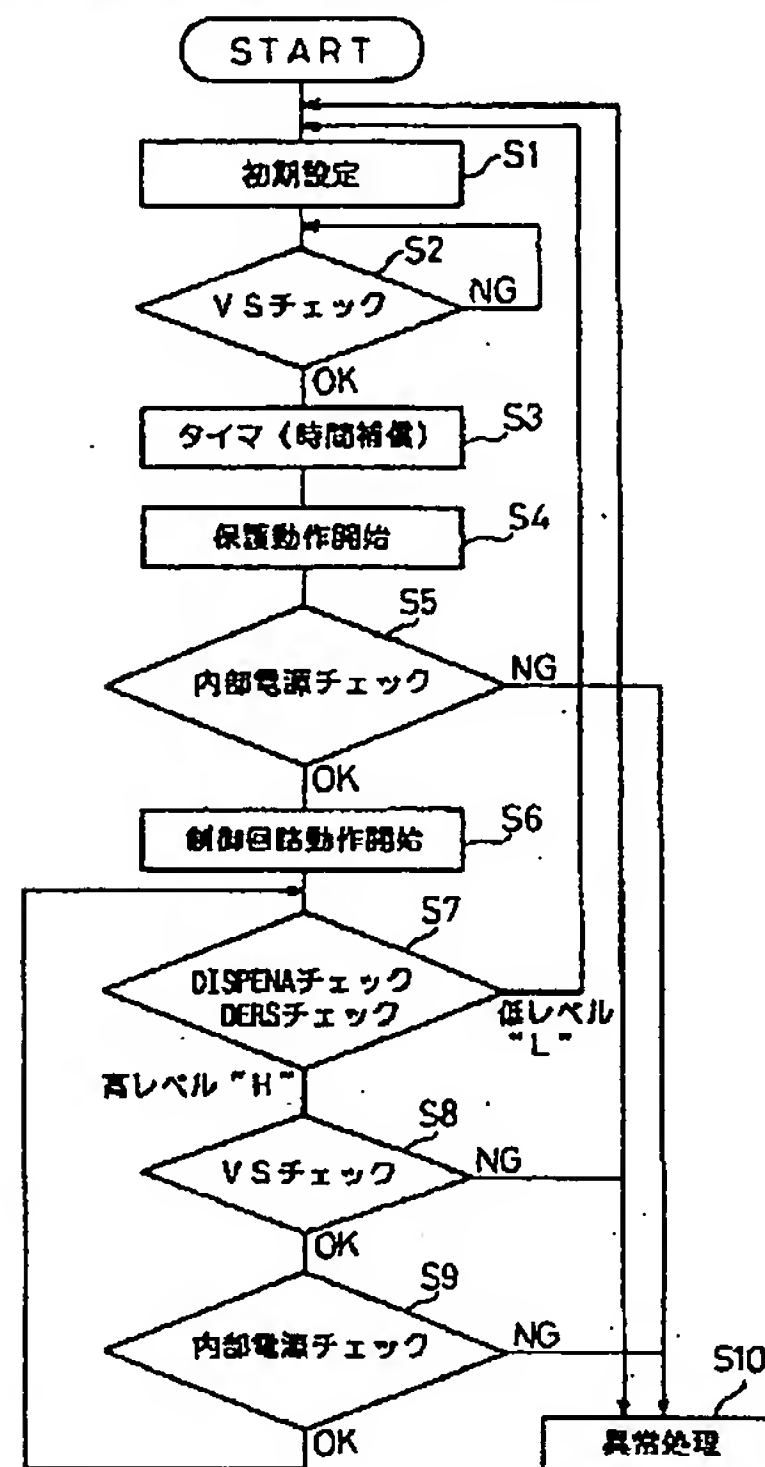
【図7】

図1の平面型表示装置におけるパネル駆動制御部の要部を示す回路図



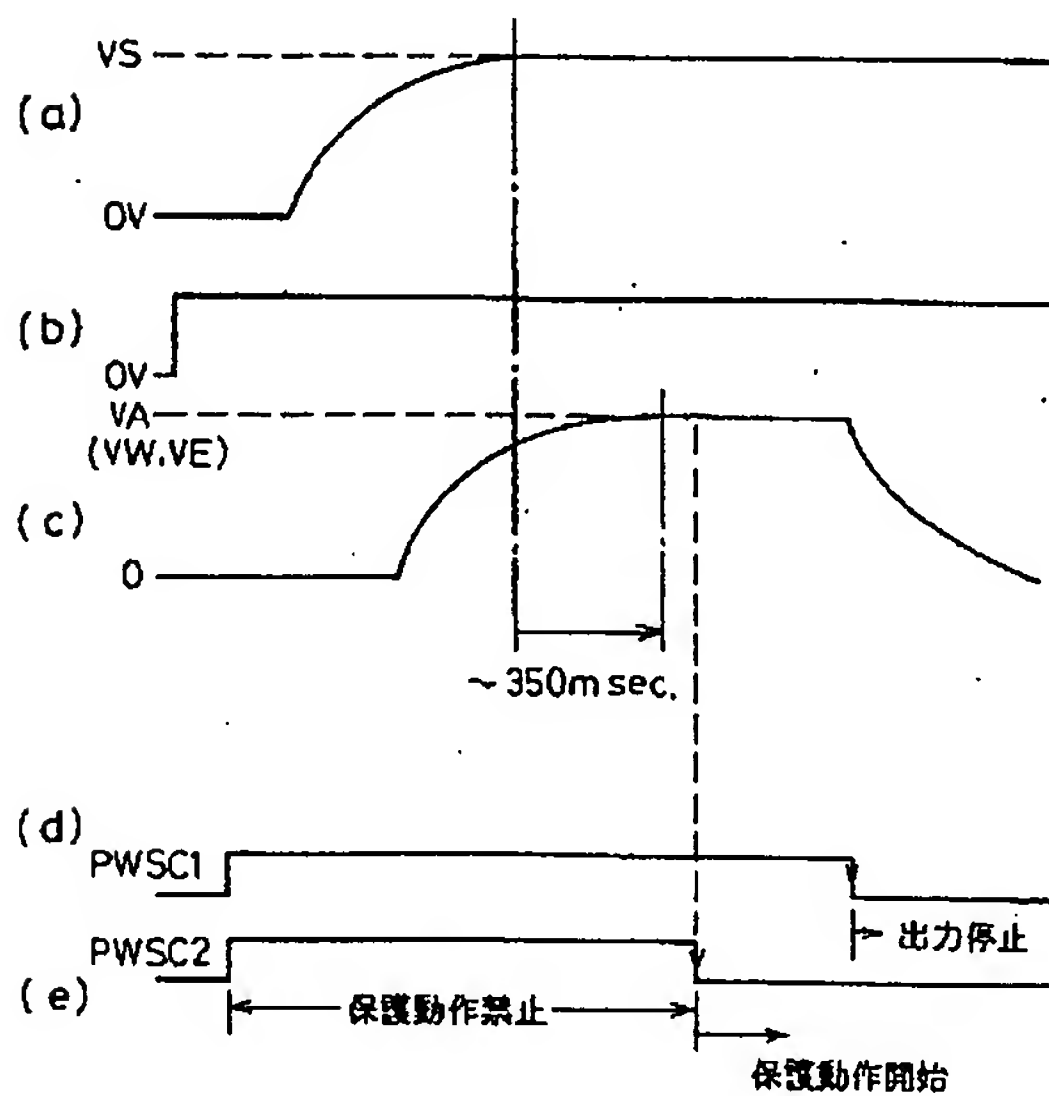
【図8】

本発明の平面型表示装置における処理の一例を示すフローチャート



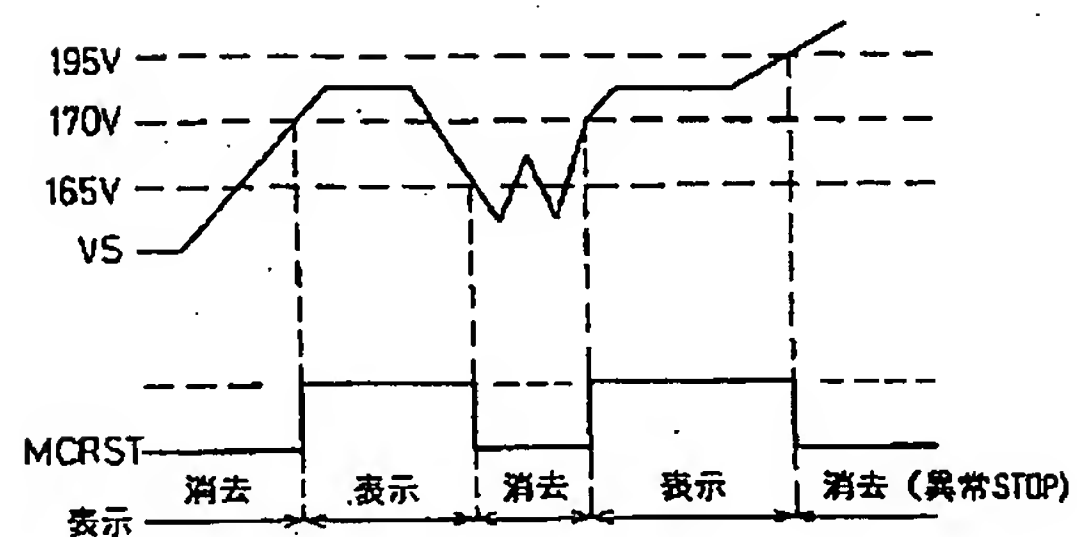
【図9】

図8のフローチャートにおけるタイマの動作を説明するための図

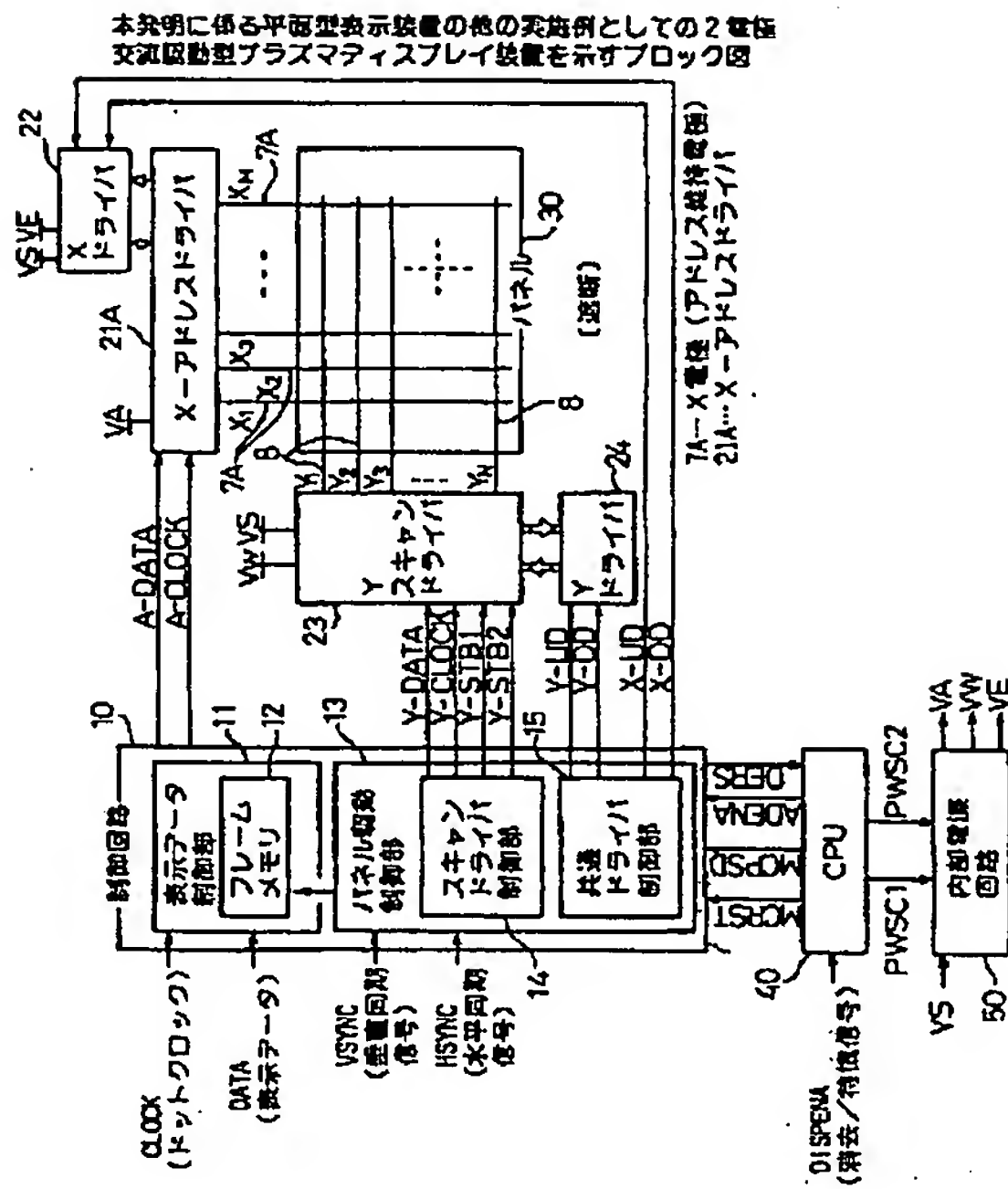


【図10】

図8のフローチャートに示す処理を説明するための波形図

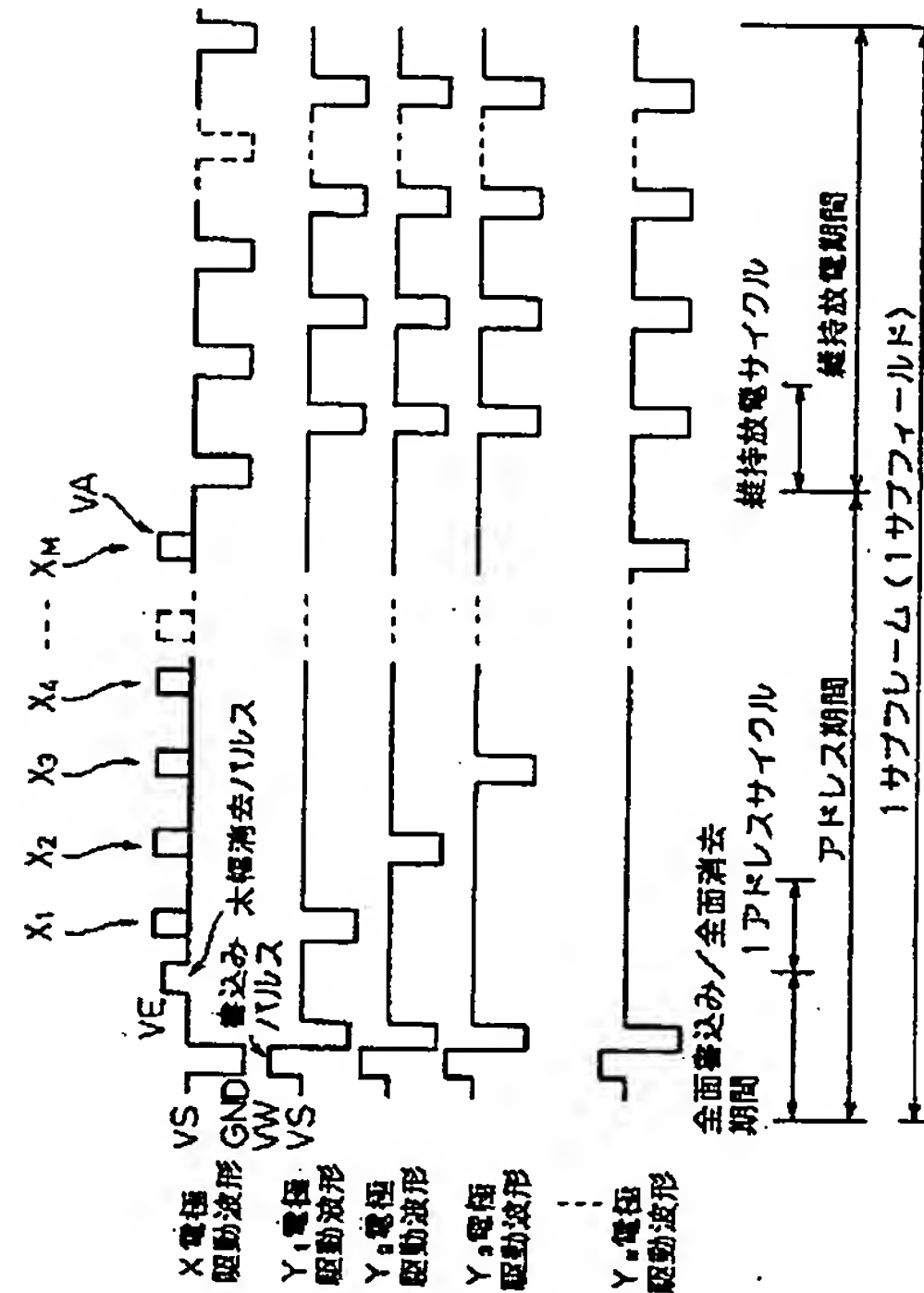


【図11】



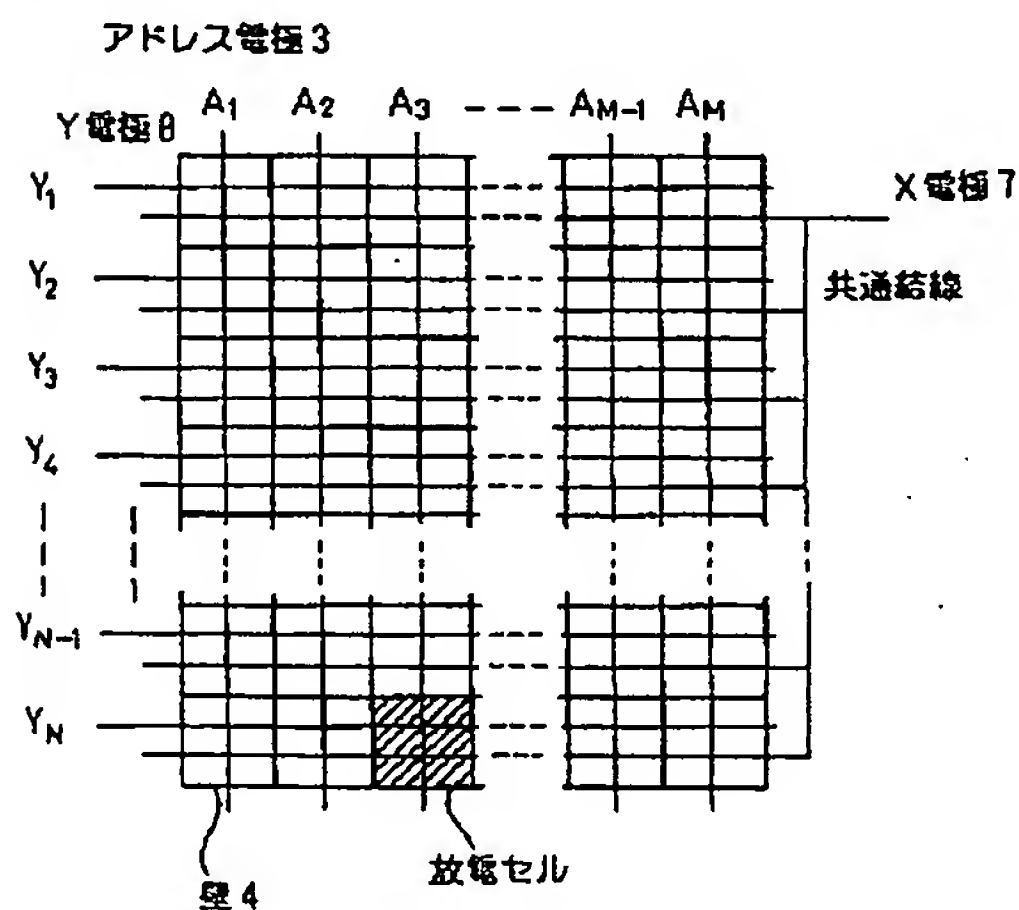
【図12】

図11のプラズマディスプレイ装置における駆動波形の一例を示す図



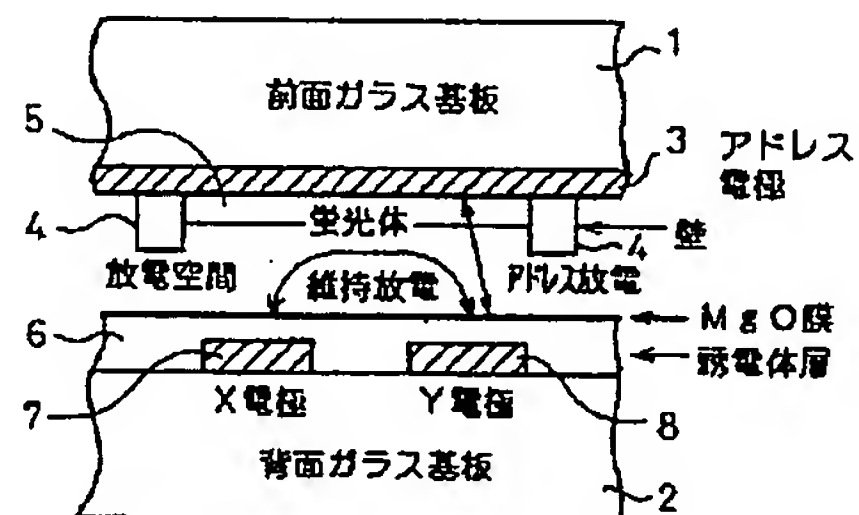
【図13】

従来の3電極面放電交流駆動型のプラズマディスプレイパネルを模式的に示す図



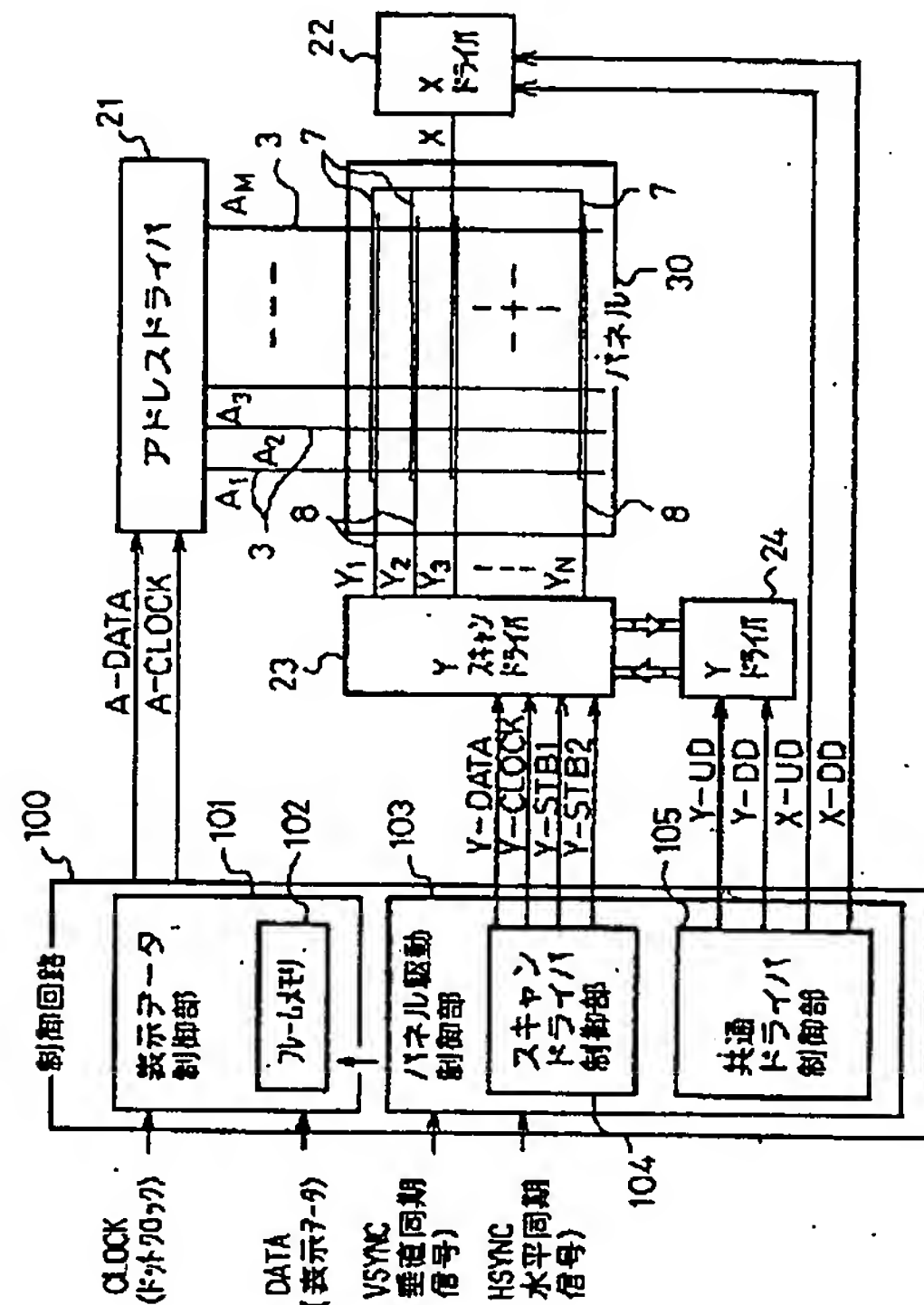
【図14】

図13のプラズマディスプレイパネルにおける1つの放電セルの概略的構造を示す断面図



【図15】

図13に示すプラズマディスプレイパネルを用いた3電極面放電交流駆動型プラズマディスプレイ装置の一例を示すブロック図



【図16】

図15のプラズマディスプレイ装置における駆動波形の一例を示す図

